

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

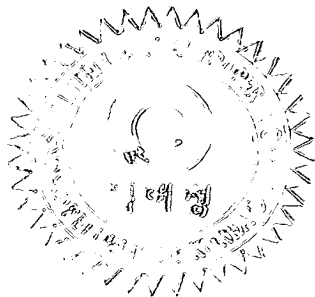
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0045023
Application Number

출원년월일 : 2002년 07월 30일
Date of Application JUL 30, 2002

출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



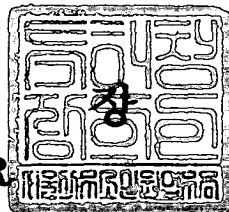
2003 년 07 월 15 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.30
【발명의 명칭】	반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device and fabrication method of thereof
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	박건욱
【성명의 영문표기】	PARK, GEON WOOK
【주민등록번호】	680515-1023927
【우편번호】	121-885
【주소】	서울특별시 마포구 합정동 389-11
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	557,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

금속/ 절연체/ 금속 (MIM) 구조의 커패시터를 포함하는 반도체 소자 및 그 제조방법에 관한 것으로, 그 목적은 수직형의 커패시터가 가지는 문제점인 상부 배선의 집적도 제한 및 유전체층의 두께 변화로 인한 소자 오동작을 방지하는 데 있다. 이를 위해 본 발명에서는, 상면에 하부배선 및 하부절연막이 노출된 반도체 기판의 구조물 상에 층간 절연막을 형성하는 단계; 층간절연막을 선택적으로 식각하여 하부배선을 노출시키는 제1 전극구를 형성하는 단계; 제1전극구 내에 제1전극구를 매립하도록 제1전극을 형성하는 단계; 제1전극과 이웃하는 제1층간절연막을 선택적으로 식각하여 하부절연막을 노출시키는 제2전극구를 형성하는 단계; 제2전극구의 내벽에 내벽을 따라 유전체층을 형성하는 단계; 유전체층 상에 제2전극구를 매립하도록 제2전극을 형성하는 단계; 제2전극의 적어도 일부분 상에 상부배선을 형성하는 단계; 상부배선의 외측방 및 층간절연막 상에 상부 절연막을 형성하는 단계를 포함하여 반도체 소자를 제조한다.

【대표도】

도 2h

【색인어】

커패시터, 유전체층, 수평형

【명세서】**【발명의 명칭】**

반도체 소자 및 그 제조 방법 {Semiconductor device and fabrication method of thereof}

【도면의 간단한 설명】

도 1a 내지 1c는 종래 방법에 따라 커패시터를 형성하는 방법을 도시한 단면도이다.

도 2a 내지 도 2h는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

도 3a 내지 도 3h는 각각 도 2a 내지 도 2h에 도시된 구조를 상부에서 바라본 것을 도시한 평면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 금속/ 절연체/ 금속 (MIM) 구조의 커패시터를 포함하는 반도체 소자 및 그 제조방법에 관한 것이다.
- <5> 최근 고속 동작을 요구하는 아날로그 회로에서는 고용량의 커패시터를 구현하기 위한 반도체 소자 개발이 진행 중에 있다. 일반적으로, 커패시터가 다결정실리콘(polysilicon), 절연체(insulator), 및 다결정실리콘(polysilicon)이 적층된 PIP 구조일 경우에는 상부전극 및 하부전극을 도전성 다결정실리콘으로 사용하기 때문에 상,하부전

극과 유전체 박막 계면에서 산화반응이 일어나 자연산화막이 형성되어 전체커패시턴스의 크기가 줄어들게 되는 단점이 있다.

- <6> 이를 해결하기 위해 커패시터의 구조를 금속/절연체/실리콘 (metal/insulator/silicon : MIS) 또는 금속/절연체/금속(metal/insulator/metal : MIM) 으로 변경하게 되었는데, 그 중에서도 MIM 구조의 커패시터는 비저항이 작고 내부에 공핍(depletion)에 의한 기생 커패시턴스가 없기 때문에 고성능 반도체 장치에 주로 이용되고 있다.
- <7> 그러면, 종래 반도체 소자 제조방법에 따라 MIM 구조의 커패시터를 제조하는 방법에 대해 첨부된 도면을 참조하여 설명한다. 도 1a 내지 1c는 종래 방법에 따라 MIM 구조의 커패시터를 형성하는 방법을 도시한 단면도이다.
- <8> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1)의 상부에 통상의 반도체 소자 공정을 진행하고 피에스지(PSG : phosphosilicateglass) 등의 산화막으로 이루어진 하부절연막(2)을 형성한 다음, 하부절연막(2) 상에 Ti 베리어층(3), Al 하부배선(4), Ti 글루층(5) 및 TiN 반사방지막(6)을 차례로 형성하고, TiN 반사방지막(6) 상에 커패시터의 실질적인 역할을 하는 유전체층으로서 SiN 유전체층(7)을 형성한다.
- <9> 이어서, SiN 유전체층(7) 상에 제1감광막 패턴을 형성하고 이를 마스크로 하여 SiN 유전체층(7)을 선택적으로 식각하여 SiN 유전체층(7)을 소정폭으로 형성한 후, 제1감광막 패턴을 제거하고 세정공정을 수행한다. 이 때 SiN 유전체층(7)의 면적은 소자가 요구하는 커패시턴스 값에 따라 달라지나 일반적으로 $10\mu\text{m} \times 10\mu\text{m}$ 으로 한다.

- <10> 다음, SiN 유전체층(7) 및 TiN 반사방지막(6) 상에 제1감광막 패턴 보다 더 큰 폭을 가지는 제2감광막 패턴을 형성하고, 제2감광막 패턴을 마스크로 하여 상면이 노출된 TiN 반사방지막(6) 및 그 하부의 Ti 글루층(5), Al 하부배선(4), Ti 베리어층(3)을 소정부분을 식각함으로써, TiN 반사방지막(6), Ti 글루층(5), Al 하부배선(4), 및 Ti 베리어층(3)을 소정폭으로 남긴 후, 제2감광막 패턴을 제거하고 세정공정을 수행한다.
- <11> 다음, 도 1b에 도시된 바와 같이, 고밀도 플라즈마(HDP:high density plasma) 공정을 이용하여 이웃하는 금속배선 간 갭을 매립하도록 HDP 산화막(8)을 증착한 후, 일반 플라즈마 공정을 이용하여 HDP 산화막(8) 상에 TEOS막(9)을 증착하고 화학기계적 연마하여 상면을 평탄화한다.
- <12> 이어서, 평탄화된 TEOS막(9)의 상면에 감광막을 도포하고 노광 및 현상하여 비아로 예정된 부분의 TEOS막(9) 상면을 노출시키는 제3감광막 패턴을 형성한후, 제3감광막 패턴을 마스크로 하여 상면이 노출된 TEOS막(9) 및 HDP 산화막(8)을 건식식각하여 SiN 유전체층(7)의 표면을 개방하는 소정폭의 비아홀(100)을 형성한다.
- <13> 다음, 도 1c에 도시된 바와 같이, 제3감광막 패턴을 제거하고 세정공정을 수행한 다음, 비아홀(100)의 내벽에 제1베리어금속막(10)을 증착하고, 제1베리어금속막(10) 상에 텅스텐(11)을 증착하여 비아홀(100)의 내부를 완전히 매립한 다음, TEOS막(9)의 상면이 노출될 때까지 화학기계적 연마하여 상면을 평탄화시킨다.
- <14> 이어서, 평탄화된 상면에 Ti 베리어층(12) 및 Al 상부배선(13) 및 Ti 글루층(14) 및 TiN 반사방지막(15)을 차례로 증착하고 이들을 패터닝한다.



<15> 상기한 바와 같이, 종래에는 알루미늄을 배선 금속물질로 이용하여 하부 배선 상에 커패시터의 하부전극, 유전체층, 상부전극을 수직적으로 적층한 후, 그 위에 상부 배선을 형성하기 때문에, 종래 커패시터는 수직형 구조이다.

<16> 그런데, 커패시터의 정전용량은 유전체층과 상,하부 전극과의 접촉 면적이나 두께에 의해 좌우되며, 유전체층의 접촉면적을 기준으로 상부전극과 하부전극의 면적은 최소한 이보다 커야 한다. 따라서, 배선의 밀집도가 하부보다 상대적으로 조밀한 상부 배선의 경우 집적도가 이러한 조건에 의해 제한되는 문제점이 있었다.

<17> 또한, 이러한 수직형의 커패시터에서는 비아홀 형성을 위한 식각 시 유전체층이 식각 방향에 수직으로 존재하기 때문에, 식각에 의해 유전체층의 두께가 변화할 수 있으며, 이로 인해 커패시턴스 값의 이상을 유발할 수 있으며, 나아가 소자의 오동작을 유발할 수 있는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 수직형의 커패시터가 가지는 문제점인 상부 배선의 집적도 제한 및 유전체층의 두께 변화로 인한 소자 오동작을 방지하는 데 있다.

【발명의 구성 및 작용】

<19> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 커패시터의 제1전극, 유전체층, 및 제2전극을 동일층 상에 수평적으로 형성하고, 또한 제1,2전극의 모양을 가능한 한 표면적이 넓도록, 일 예로서 다수개의 가지를 가지는 손가락 모양으로 형성하며, 이들 제1,2전극의 계면인 손가락 모양을 따라 유전체층을 형성하는 것을 특징으로 한다.

<20> 따라서, 본 발명에 따른 반도체 소자 제조 방법은, 상면에 하부배선 및 하부절연막이 노출된 반도체 기판의 구조물 상에 층간절연막을 형성하는 단계; 층간절연막을 선택적으로 식각하여 하부배선을 노출시키는 제1전극구를 형성하는 단계; 제1전극구 내에 제1전극구를 매립하도록 제1전극을 형성하는 단계; 제1전극과 이웃하는 제1층간절연막을 선택적으로 식각하여 하부절연막을 노출시키는 제2전극구를 형성하는 단계; 제2전극구의 내벽에 내벽을 따라 유전체층을 형성하는 단계; 유전체층 상에 제2전극구를 매립하도록 제2전극을 형성하는 단계; 제2전극의 적어도 일부분 상에 상부배선을 형성하는 단계; 상부배선의 외측방 및 층간절연막 상에 상부절연막을 형성하는 단계를 포함하여 이루어진다.

<21> 이 때, 제1전극 및 상기 제2전극을 형성할 때에는, 각각 제1전극구 및 제2전극구를 매립하도록 구리를 형성한 후에 층간절연막이 노출될 때까지 화학기계적 연마하는 단계를 더 수행하는 것이 바람직하며, 제1전극 및 제2전극은 다수개의 가지를 가지는 손가락 모양으로 형성하는 것이 바람직하다.

<22> 또한, 유체층으로는, 실리콘옥사이드 및 실리콘나이트라이드를 차례로 형성하는 것이 바람직하다.

<23> 이하, 본 발명에 따른 반도체 소자 및 그 제조 방법에 대해 상세히 설명한다.

<24> 일반적으로 금속 배선으로 널리 사용하는 금속으로는 텅스텐(W), 알루미늄(Al) 및 알루미늄 합금 등이 있다. 그러나, 구리(Cu)는 텅스텐, 알루미늄에 비하여 비저항이 작으며 신뢰성이 우수한 금속 배선 재료이므로, 반도체 소자의 금속배선을 구리로 대체하려는 연구가 활발히 진행되고 있다.

- <25> 그런데, 구리는 텅스텐, 알루미늄과는 달리 건식 식각(reactive ion etching)에 의한 배선 형성이 어려운 재료이다. 따라서, 구리의 경우에는 비아홀이 형성된 웨이퍼에 구리를 전면(blanket) 증착한 후에 불필요한 웨이퍼 표면의 구리를 화학기계적 연마 공정으로 제거함으로써 최종적인 구리배선을 형성하는 다마신 공정을 이용한다.
- <26> 본 발명에서는 이러한 다마신 공정을 이용하여 구리를 배선물질 및 전극물질로 증착하고, 커패시터를 수평형 구조로 형성한다.
- <27> 도 2a 내지 도 2h는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이며, 도 3a 내지 도 3h는 각각 도 2a 내지 도 2h에 도시된 구조를 상부에서 바라본 것을 도시한 평면도이다.
- <28> 본 발명에 따라 제조된 반도체 소자의 단면 및 상면은 각각 도 2h 및 도 3h에 도시되어 있으며, 이들 도면에 도시된 바와 같이, 본 발명에 따른 반도체 소자에는 개별 소자가 형성된 반도체 기판의 구조물(21) 상에 형성되는데, 반도체 기판의 구조물(21)의 상면에는 하부배선(23) 및 하부절연막(22)이 노출되어 있다.
- <29> 하부절연막(22) 상에는 하부배선(23)을 노출시키는 제1전극구(201)와, 제1전극구(201)와 이웃하면서 하부절연막의 소정영역을 노출시키는 제2전극구(203)를 가지는 중간절연막(24)이 형성되어 있고, 제1전극구 내에는 제1전극(25)이 매립되어 있으며, 제2전극구(203)의 내벽에는 내벽을 따라 유전체층(28,29)이 형성되어 있으며, 유전체층(28,29) 상에는 제2전극구(203)를 매립하도록 제2전극(30)이 형성되어 있다.

- <30> 이 때, 제1전극(25) 및 제2전극(30)은 구리로 이루어지는 것이 바람직하고, 제1전극(25) 및 제2전극(30)은 다수개의 가지를 가지는 손가락 모양으로 형성되어 유전체층(28,29) 역시 다수개의 가지를 가지는 손가락 모양으로 형성되는 것이 바람직하다.
- <31> 또한, 유전체층을 이루는 물질은 요구하는 소자 특성에 따라 결정하면 되는데, 일례로 실리콘옥사이드(28) 및 실리콘나이트라이드(29)를 차례로 증착한 적층구조로 할 수 있다.
- <32> 제2전극(30)의 적어도 일부분 상에는 상부배선(32)이 형성되어 있고, 상부배선(32)의 외측방 및 층간절연막(24) 상에는 상부절연막이 형성되어 있다.
- <33> 이 때, 상부배선(32) 또는 하부배선(23)은 구리로 이루어질 수도 있다.
- <34> 그러면, 상기한 바와 같은 본 발명의 반도체 소자를 제조하는 방법에 대해 상세히 설명한다.
- <35> 먼저, 도 2a 및 3a에 도시된 바와 같이, 반도체 기판의 상부에 통상의 반도체 소자 공정을 진행하여 개별 소자가 형성된 반도체 기판의 구조물(21)을 형성하고, 반도체 기판의 구조물(21) 상에 하부절연막(22)을 형성한 다음, 하부절연막(22)을 선택적으로 식각하여 배선구(200)를 형성하고 구리를 전면증착한 후, 하부절연막(22)이 노출될 때까지 화학기계적 연마하여 하부배선(23)을 형성한다.
- <36> 이 때, 하부배선을 반드시 구리로 형성할 필요는 없으며, 텅스텐과 같은 금속막을 형성하고 패터닝하여 반도체 소자의 회로 형성을 위한 하부 배선(23)을 형성할 수도 있다.

- <37> 이어서, 하부절연막(22) 및 하부배선(23)의 상부 전면에 층간절연막(24)을 증착하는데, 보통 일반 플라즈마 방식으로 5000 Å 정도의 두께로 형성하면 된다.
- <38> 다음, 도 2b 및 3b에 도시된 바와 같이, 층간절연막(24)을 선택적으로 식각하여 하부배선(23)을 노출시키는 커패시터의 제1전극구(201) 및 비아홀(202)을 동시에 형성한다.
- <39> 이 때 커패시터의 제1전극구(201)는 가능한 한 표면적이 넓도록 다양한 모양으로 형성할 수 있으며, 여기서는 그 일례로서 다수개의 가지를 가지는 형상인 손가락 모양으로 형성한 것을 나타내었다.
- <40> 다음, 도 2c 및 3c에 도시된 바와 같이, 구리를 전면증착하여 제1전극구(201) 및 비아홀(202)의 내부를 매립하여 제1전극(25) 및 비아(26)를 형성한 후, 층간절연막(24)이 노출될 때까지 화학기계적 연마한다.
- <41> 다음, 도 2d 및 3d에 도시된 바와 같이, 감광막을 도포하고 노광 및 현상하여, 제1전극구(201)보다 더 넓은 폭으로 오프닝되는, 즉, 제1전극(25)과, 이와 이웃하는 제2전극 예정 영역의 층간절연막(24) 부분을 노출시키는 감광막 패턴(27)을 형성한다. 이 때 커패시터의 제2전극은 제1전극과 동일층으로 수평적으로 연결되도록 형성되므로, 제2전극의 모양 역시 제1전극과 마찬가지로 손가락 모양이되, 제1전극에서의 블록부가 제2전극에서는 오목부가 되고, 제1전극에서의 오목부는 제2전극에서 블록부에 해당된다.
- <42> 다음, 도 2e 및 3e에 도시된 바와 같이, 감광막 패턴(27)을 마스크로 하여 노출된 층간절연막(24)을 식각하여 커패시터의 제2전극구(203)를 형성한 후, 감광막 패턴(27)을 제거하고 세정공정을 수행한다.

- <43> 제2전극구(203) 형성을 위한 식각시, 층간절연막(24)과 제1전극(25)의 구리는 식각 선택비가 거의 무한대에 가까우므로 식각이 진행되는 동안 제1전극(25)이 손상되는 일은 거의 없다.
- <44> 다음, 도 2f 및 3f에 도시된 바와 같이, 도 2e 구조의 상부 전면에 외면을 따라 유전체층을 얇게 형성하는데, 유전체층을 이루는 물질은 요구하는 소자 특성에 따라 결정하면 되며, 여기서는 유전체층으로서 실리콘옥사이드(28) 및 실리콘나이트라이드(29)를 차례로 증착한 적층구조를 형성한 것으로 나타낸다. 이 때 실리콘옥사이드(28) 및 실리콘나이트라이드(29)는 각각 300Å 정도의 두께로 형성하는 것이 바람직하다.
- <45> 다음, 도 2g 및 3g에 도시된 바와 같이, 구리를 전면증착하여 제2전극구(203)의 내부를 매립하여 제2전극(30)을 형성한 후, 제1층간절연막(24)이 노출될 때까지 화학기계적 연마한다.
- <46> 그 결과, 커패시터의 유전체층은 제2전극구(203)의 내벽에 형성되므로 손가락 모양의 외면을 따라 형성되며, 따라서 유전체층과 제1, 제2전극과의 접촉면적은 대폭 증대된다. 또한, 전극구의 손가락 모양에서 가지의 숫자를 더욱 늘린 구조로 전극구를 형성하면 유전체층의 접촉면적을 더욱 증대시킬 수 있다.
- <47> 이와 같이, 본 발명에서는 커패시터의 제1전극구 및 제2전극구는 동일층을 이루면서 수평적으로 형성되고 제2전극구의 내벽을 따라 유전체층이 형성되며, 이러한 구조의 커패시터를 수평형 커패시터라 칭한다.
- <48> 다음, 도 2h 및 3h에 도시된 바와 같이, 도 2g 구조의 상부 전면에 상부절연막(31)을 증착한 후, 상부절연막(31)을 선택적으로 식각하여 커패시터의 제2전극(30) 및 비아

(26)와 각각 연결되는 배선구를 형성하고, 여기에 구리를 전면증착하여 배선구를 매립한 후 상부절연막(30)이 노출될 때까지 화학기계적 연마하여 상부 배선(32)을 형성한다.

- <49> 상부배선(32) 역시 하부배선과 마찬가지로, 반드시 구리로 형성할 필요는 없으며, 텅스텐과 같은 금속막을 형성하고 패터닝하여 반도체 소자의 회로 형성을 위한 상부배선(32)을 형성할 수도 있다.

【발명의 효과】

- <50> 상술한 바와 같이, 본 발명에서는 커패시터를 수평형 구조로 형성하고 커패시터의 제1 및 제2전극을 다수개의 가지를 가지는 손가락 모양으로 형성하며 제2전극구의 내면을 따라 유전체층을 형성하기 때문에, 종래 수직형 커패시터에 비해 상부층 전극의 넓이를 줄일 수 있으며, 따라서 상부 배선의 집적도를 높일 수 있는 효과가 있다.
- <51> 또한, 본 발명의 수평형 커패시터에서는 제1 및 제2전극을 다수개의 가지를 가지는 손가락 모양으로 형성하기 때문에 유전체층의 접촉면적을 대폭 늘릴 수 있으며, 동일 접촉면적 대비 커패시터의 점유 폭을 최소화하여 배선의 집적도를 높일 수 있는 효과가 있다.
- <52> 그리고, 본 발명의 수평형 커패시터에서는 비아홀 형성을 위한 층간절연막 식각시 유전체층이 제2전극구의 측벽에 형성되어 있으므로 종래 수직형 커패시터에 비해 식각 중에 안전하게 유지되며, 따라서 식각이 완료된 후에도 유전체층의 두께 변화가 거의 없는 효과가 있다.
- <53> 따라서, 커패시턴스 값을 안정하게 유지할 수 있으며, 나아가 소자의 오동작을 방지하는 효과가 있다.

【특허청구범위】**【청구항 1】**

상면에 하부배선 및 하부절연막이 노출된 반도체 기판의 구조물 상에 형성되고,
제1전극층, 유전체층, 제2전극층 구조의 커패시터를 포함하는 반도체 소자에 있어서,

상기 하부절연막 상에 형성되고, 상기 하부배선을 노출시키는 제1전극구 및 상기
제1전극구와 이웃하고 상기 하부절연막의 소정영역을 노출시키는 제2전극구를 가지는 층
간절연막;

상기 제1전극구 내에 매립된 제1전극;

상기 제2전극구의 내벽에 상기 내벽을 따라 형성된 유전체층;

상기 유전체층 상에 상기 제2전극구를 매립하도록 형성된 제2전극;

상기 제2전극의 적어도 일부분 상에 형성된 상부배선;

상기 상부배선의 외측방 및 상기 층간절연막 상에 형성된 상부절연막
을 포함하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 제1전극 및 상기 제2전극은 구리로 이루어지는 반도체 소자.

【청구항 3】

제 2 항에 있어서,

상기 상부배선 및 하부배선은 구리로 이루어지는 반도체 소자.

【청구항 4】

제 3 항에 있어서,

상기 유전체층은 실리콘옥사이드 및 실리콘나이트라이드의 적층구조로 이루어지는 반도체 소자.

【청구항 5】

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 제1전극 및 제2전극은 다수개의 가지를 가지는 손가락 모양인 반도체 소자.

【청구항 6】

상면에 하부배선 및 하부절연막이 노출된 반도체 기판의 구조물 상에 층간절연막을 형성하는 단계;

상기 층간절연막을 선택적으로 식각하여 상기 하부배선을 노출시키는 제1전극구를 형성하는 단계;

상기 제1전극구 내에 상기 제1전극구를 매립하도록 제1전극을 형성하는 단계;

상기 제1전극과 이웃하는 제1층간절연막을 선택적으로 식각하여 상기 하부절연막을 노출시키는 제2전극구를 형성하는 단계;

상기 제2전극구의 내벽에 상기 내벽을 따라 유전체층을 형성하는 단계;

상기 유전체층 상에 상기 제2전극구를 매립하도록 제2전극을 형성하는 단계;

상기 제2전극의 적어도 일부분 상에 상부배선을 형성하는 단계;

상기 상부배선의 외측방 및 상기 층간절연막 상에 상부절연막을 형성하는 단계를 포함하는 반도체 소자 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 제1전극 및 상기 제2전극을 형성할 때에는, 각각 상기 제1전극구 및 상기 제2전극구를 매립하도록 금속물질층을 형성한 후에 상기 층간절연막이 노출될 때까지 화학기계적 연마하는 단계를 더 수행하는 반도체 소자 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 유전체층을 형성할 때에는, 상기 제2전극구의 내벽을 포함하여 상기 층간절연막 및 상기 제1전극 상에 유전체층을 형성하고, 상기 화학기계적 연마할 때 상기 층간절연막 및 상기 제1전극 상에 형성된 유전체층을 제거하는 반도체 소자 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 제1전극 및 상기 제2전극을 형성할 때에는 구리를 도금법으로 형성하는 반도체 소자 제조 방법.

【청구항 10】

제 9 항에 있어서,

상기 상부배선을 형성할 때에는, 상기 제1전극, 유전체층, 제2전극, 및 층간절연막 상에 상부절연막을 형성하고 상기 상부절연막을 선택적으로 식각하여 상기 제2전극의

적어도 일부분을 노출시키는 배선구를 형성한 후, 상기 배선구 내에 금속물질을 매립하여 상부배선을 형성하는 반도체 소자 제조 방법.

【청구항 11】

제 10 항에 있어서,

상기 상부배선 또는 상기 하부배선을 형성할 때에는 구리를 도금법으로 형성하는 반도체 소자 제조 방법.

【청구항 12】

제 6 항 내지 제 10 항 중의 어느 한 항에 있어서,

상기 유체층으로는, 실리콘옥사이드 및 실리콘나이트라이드를 차례로 형성하는 반도체 소자 제조 방법.

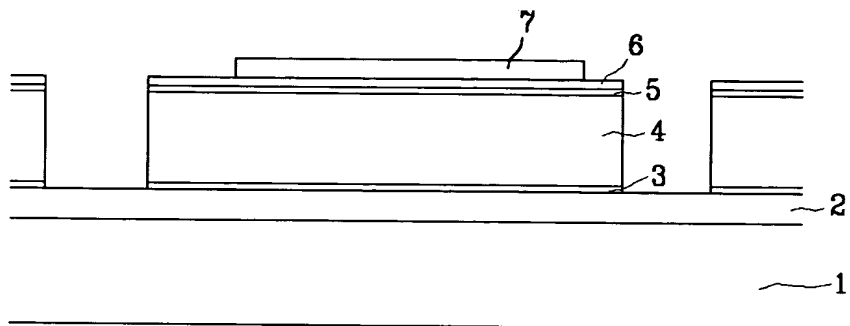
【청구항 13】

제 12 항에 있어서,

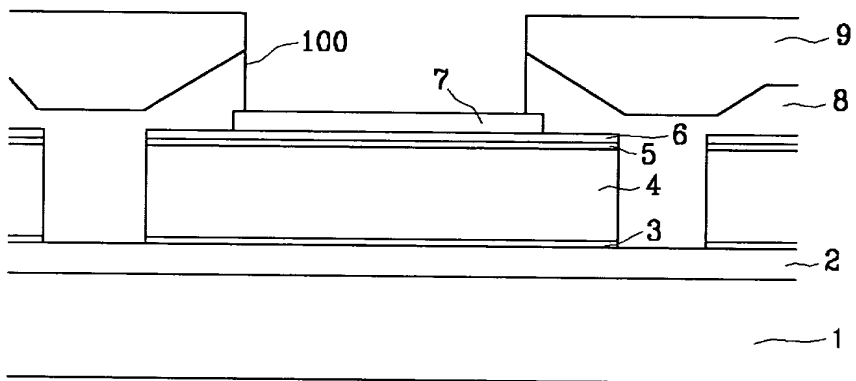
상기 제1전극 및 제2전극은 다수개의 가지를 가지는 손가락 모양으로 형성하는 반도체 소자 제조 방법.

【도면】

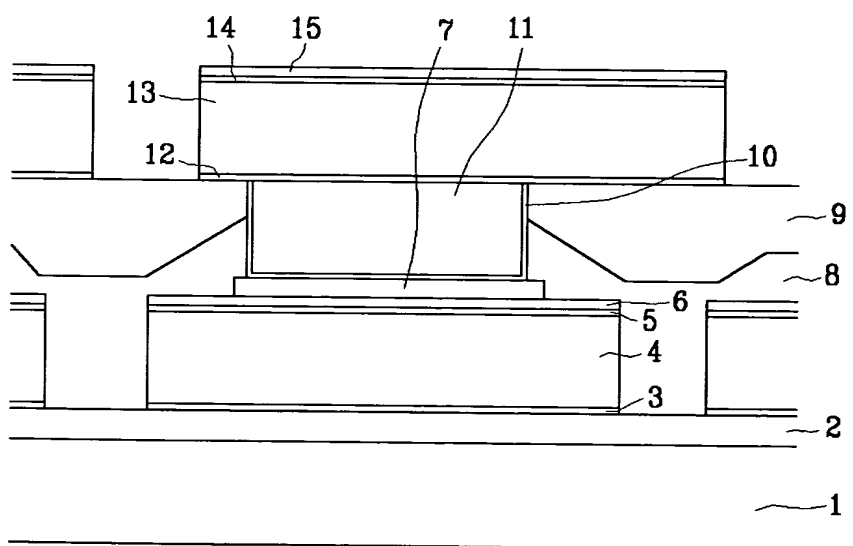
【도 1a】



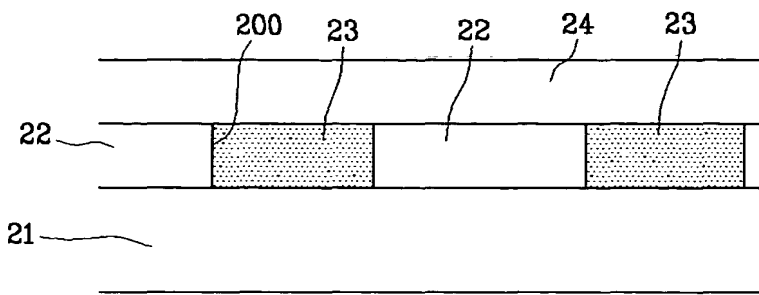
【도 1b】



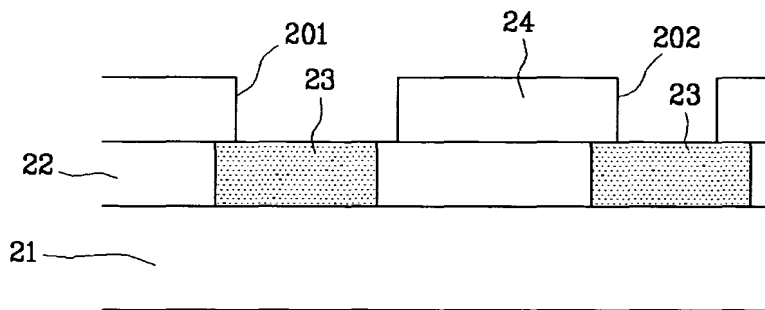
【도 1c】



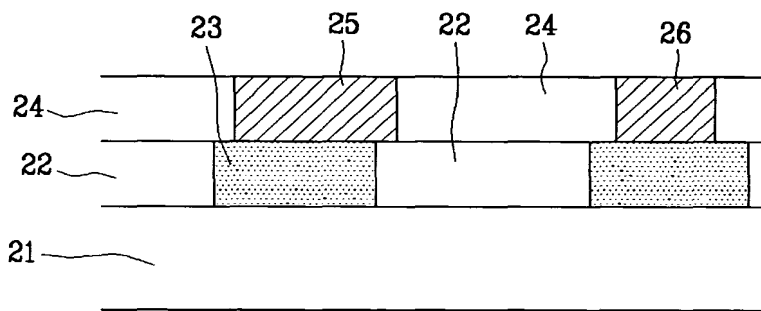
【도 2a】



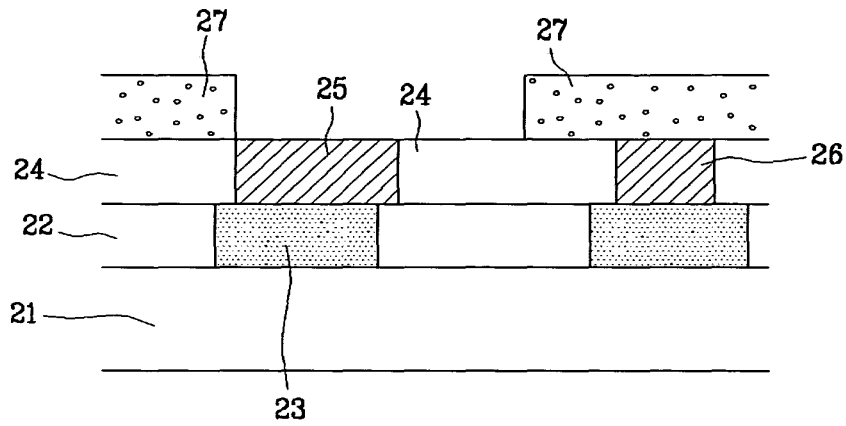
【도 2b】



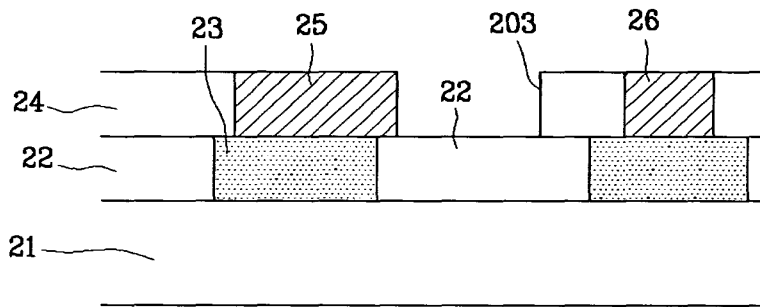
【도 2c】



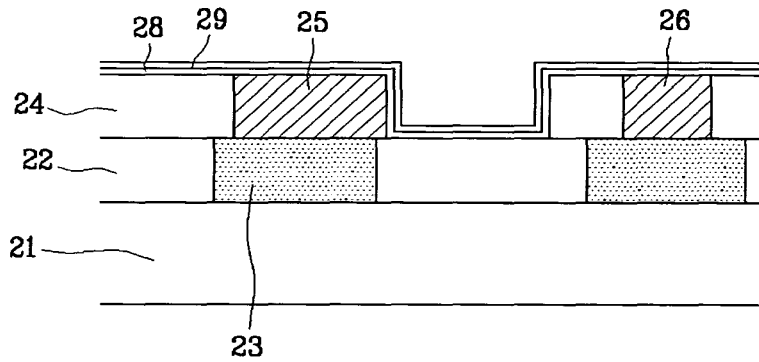
【도 2d】



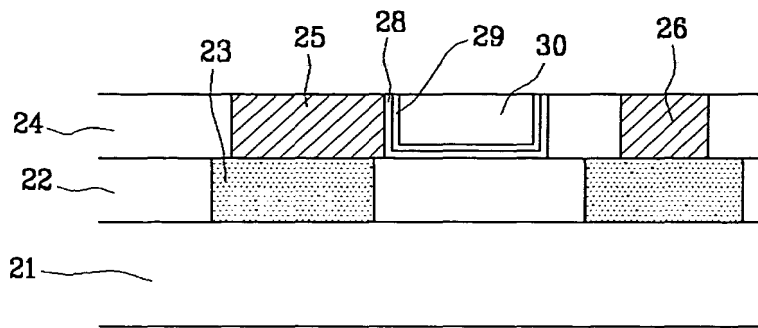
【도 2e】



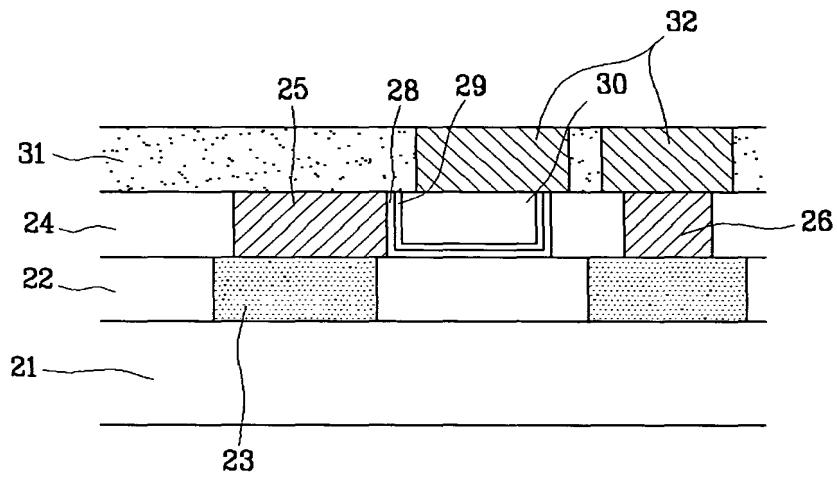
【도 2f】



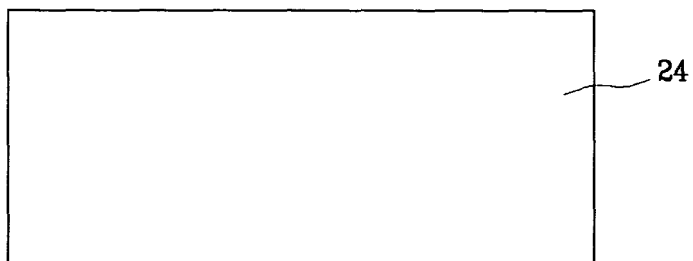
【도 2g】



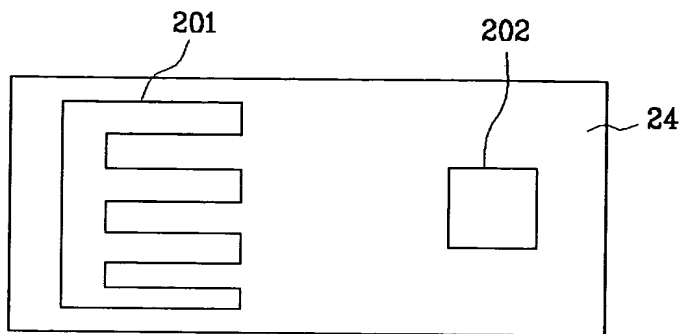
【도 2h】



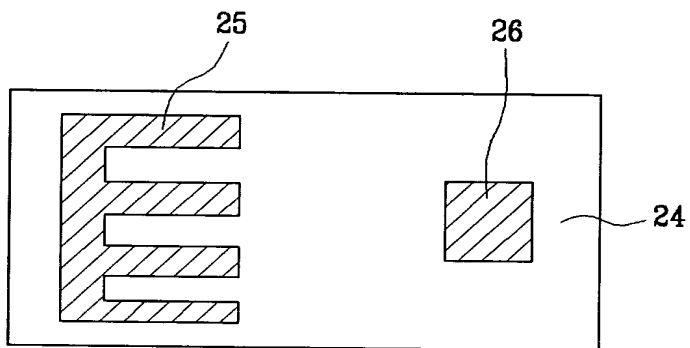
【도 3a】



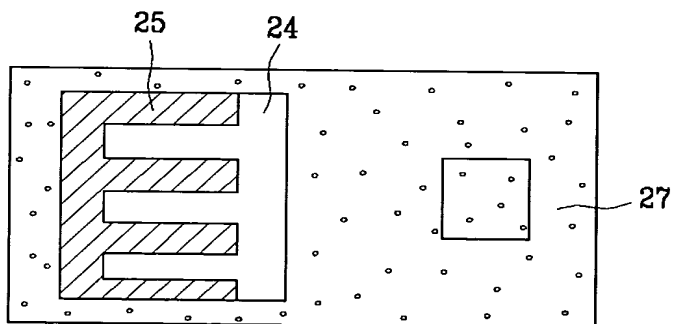
【도 3b】



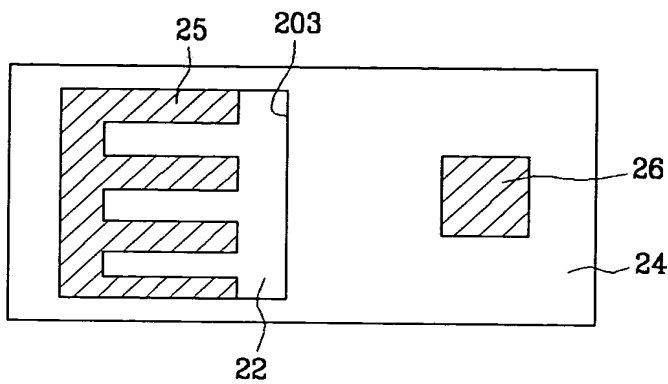
【도 3c】



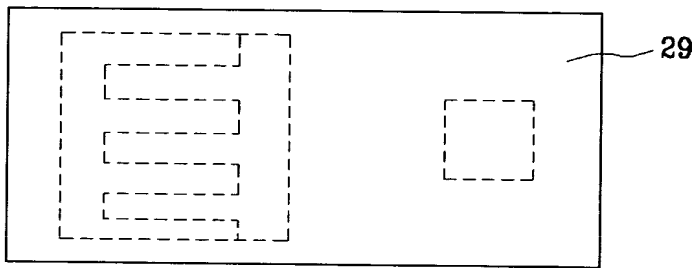
【도 3d】



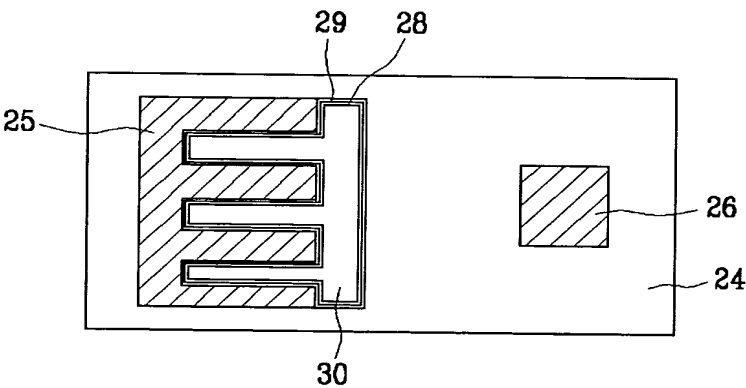
【도 3e】



【도 3f】



【도 3g】



【도 3h】

